

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1/1 JAPIO - (C) JPO

PN - JP 05061768 A 19930312 [***JP05061768***]

TI - SEMICONDUCTOR INTEGRATED CIRCUIT AND DATA PROCESSOR USED IT

IN - HAYASHI TAKEHISA; DOI TOSHIO; ISHIBASHI KENICHI; TAKEMOTO TAKESHI

PA - HITACHI LTD

AP - JP22564491 19910905 [1991JP-0225644]

IC1 - G06F-012/08

AB - PURPOSE: To obtain the integrated circuit and the data processor using this circuit even when the number of logic pins is limited by making a bus for accessing a second-order cache memory and a bus for accessing a main memory common for all the microprocessors, and providing a data exchange circuit.

- CONSTITUTION: When there is no instruction or data in first-order cache memories 11 and 21, microprocessors 10 and 20 execute the operation of obtaining this instruction or data through external memory reference buses 13 and 23 to the outside of a semiconductor integrated circuit 100. The buses 13 and 23 are connected to a data exchange circuit 30, and the data exchange circuit 30 judges the priority order of requests from both processors and performs access to a second-order cache memory 200 common for the microprocessors 10 and 20. When the desired instruction or data can not be obtained in this case, the data exchange circuit 30 detects such a state, accesses a main memory 300 and transfers the instruction or the data to one of the processors 10 and 20.

- COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-61768

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵
G 0 6 F 12/08

識別記号 庁内整理番号
F 7232-5B
H 7232-5B

F I

技術表示箇所

(21)出願番号 特願平3-225644

(22)出願日 平成3年(1991)9月5日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 林 剛久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 土井 俊雄

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 石橋 賢一

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

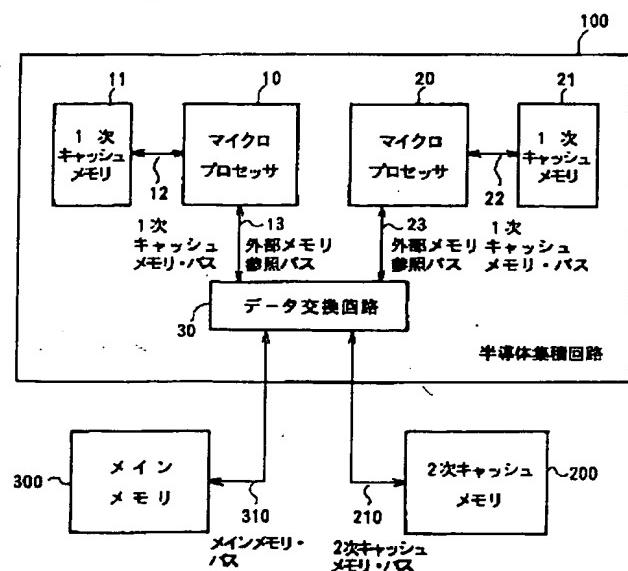
(54)【発明の名称】 半導体集積回路及びこれを用いるデータ処理装置

(57)【要約】

【構成】一次キャッシュメモリ200を複数のオンチップのマイクロプロセッサ10, 20で共用するために、データ交換回路30を設ける。

【効果】論理ピン数の制約の下で、二次キャッシュを実現し、高性能な半導体集積回路と、これを用いたデータ処理装置を提供することができる。

図 1



【特許請求の範囲】

【請求項1】複数のマイクロプロセッサと前記各々のマイクロプロセッサに専用の一次キャッシュメモリ、前記一次キャッシュメモリをアクセスするための一次キャッシュメモリバスを含む半導体集積回路において、全ての前記マイクロプロセッサに共通で、前記各マイクロプロセッサに必要な命令又はデータが前記一次キャッシュメモリ内に無い時に、前記半導体集積回路の外部の二次キャッシュメモリをアクセスするための二次キャッシュメモリバスと、全ての前記マイクロプロセッサに共通で、前記二次キャッシュメモリ内にも必要な命令又はデータが無い時に、前記半導体集積回路外部のメインメモリをアクセスするためのメインメモリバスと、前記各マイクロプロセッサと前記二次キャッシュメモリバス、前記メインメモリバス間のデータを交換するためのデータ交換回路とを含むことを特徴とする半導体集積回路。

【請求項2】上記半導体集積回路と上記2次キャッシュメモリと、上記メインメモリを有するデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高性能なデータ処理を行なうための半導体集積回路、およびこれを用いるデータ処理装置に関する。

【0002】

【従来の技術】従来、高性能なデータ処理を行なうデータ処理装置としてマルチプロセッサを用いるものが知られている。このような公知例には、日経エレクトロニクス1985年11月18日号p.228~267「演算パイプラインや三階層記憶により高速化を図ったM680/682Hの処理方式」のp.244において小高らが述べている。同文献において、命令プロセッサIPはバッファストレージBS、すなわち一次キャッシュメモリを、記憶制御装置SCはワークストレージWS、すなわち二次キャッシュメモリを含み、また、データ処理装置はメインメモリを含む。

【0003】

【発明が解決しようとする課題】一般に一次キャッシュメモリ、二次キャッシュメモリ、メインメモリからなる三階層記憶方式をとる場合、アクセス時間はこの順に遅くなる代わりに、記憶容量をこの順に大きくとる。特に高性能化を図るには、二次キャッシュメモリの容量は、一次キャッシュメモリよりも充分大きくなければならぬ。

【0004】近年、RISCプロセッサに代表されるように、マイクロプロセッサの性能の向上は目ざましいものがあり、また、これを用いたワークステーションに代表されるデータ処理装置の性能向上もまた目ざましい。この性能向上を引き続き達成するために、半導体集積回路にオンチップでマルチプロセッサを構成する提案がされている。これの公知例としてはアイ・イー・イー・イ

ー スペクトラム 1989年10月号 p.43~47 (IEEE Spectrum October 1989) がある。しかし、上述のように、高性能を引き出すために三階層の記憶構成をとろうとすると、二次キャッシュをオンチップに持つことが困難であった。また、二次キャッシュをチップ外に持つとしても、半導体集積回路ではこれから取り出せる信号ピン数に厳しい制約があるにもかかわらずメインメモリ、二次キャッシュに接続するためのピン数が多くなるという問題があった。

【0005】

【課題を解決するための手段】上記の問題を解決するため、本発明では、複数のマイクロプロセッサと、各々のマイクロプロセッサ専用の一次キャッシュメモリをもつた半導体集積回路において、二次キャッシュメモリをアクセスするためのバスと、メインメモリをアクセスするためのバスを全てのマイクロプロセッサに共通とし、かつ、各マイクロプロセッサとこれらのバスの間でデータを交換するためのデータ交換回路を設ける。また、この半導体集積回路を用いてデータ処理装置を構成する。

【0006】

【作用】上記データ交換回路により、複数のマイクロプロセッサに対し、二次キャッシュアクセスのための論理ピン、メインメモリアクセスのための論理ピンが共用されるため、半導体集積回路の論理ピンの制約があつても、高性能な半導体集積回路、及び、これを用いたデータ処理装置を構成することができる。

【0007】

【実施例】以下、本発明の一実施例を図1、図2により説明する。図1において、100は半導体集積回路であり、一チップで構成される。10、20はそれぞれマイクロプロセッサ、11、21はマイクロプロセッサ10、20の各々の専用の一次キャッシュメモリであり、一次キャッシュメモリバス12、22を介してアクセスされる。マイクロプロセッサ10、20において、一次キャッシュメモリ11、21中に命令またはデータがなかつた場合、外部メモリ参照バス13、23を介して半導体集積回路100の外部へこれを得る動作を行なう。外部メモリ参照バス13、23は、データ交換回路30に接続されており、データ交換回路30は、両方のプロセッサからの要求の優先順位を判定し、マイクロプロセッサ10、20共通の二次キャッシュメモリ200へ、共通の二次キャッシュメモリバス210を介してアクセスする。さらに二次キャッシュメモリ200でも所望の命令又はデータが得られない場合(二次キャッシュ・ミスの場合)データ交換回路30はこれを検出し、マイクロプロセッサ10、20に共通のメインメモリバス310を介して、メインメモリ300をアクセスし、命令又はデータをマイクロプロセッサ10、又は20の一方へ転送する。

【0008】本実施例で、二次キャッシュメモリ・バス

210、メインメモリバス310は各々マイクロプロセッサ10、20に共通化されているため論理信号ピン数が低減できる。一般に、半導体集積回路100の内部動作周波数に比べ、二次キャッシュメモリバスの動作周波数は小さい。これはチップ外の配線容量を駆動する遅延時間、また、大容量の二次キャッシュメモリのアレイ（例えば外数個のSRAMで構成される）の入力容量を駆動する遅延時間が必要なためである。このため、二次キャッシュのデータ幅を大きくする必要があるので、本発明は有効である。

【0009】次に図2を用いて、図1のデータ交換回路の一実施例を説明する。図2において、1001は優先度判定回路、1002はメインメモリ側スイッチ回路m、1003は二次キャッシュ側スイッチ回路S、1004はタイミング回路、1005はヒット判定回路である。外部メモリ参照バス13又は23から、外部メモリ参照のリクエストがあると優先度判定回路1001が、このどちらを優先して処理するかを判定し、スイッチ回路m、Sに優先度信号1011を与える。同時に1001はリクエストをイベントとしてタイミング回路1004を起動し、1004は、順次、タイミングT1～T6を発生するT1によってスイッチ回路Sは二次キャッシュメモリにアクセスを開始し、ヒット判定回路1005はアクセスに必要な時間後のタイミングT2によってキャッシュのタグ情報をもとにヒット判定を行なう。

【0010】ヒットかミスヒットの判定結果であるヒット信号1012はスイッチ回路m、S及びタイミング回路に与えられる。ヒットの場合、二次キャッシュデータはスイッチ回路Sにより外部メモリ参照バス13又は23のいずれかのT3のタイミングで転送される。ミスヒットの場合、T4のタイミングでスイッチ回路mがメイ

ンメモリにアクセスを開始し、アクセス時間のうち、T5のタイミングでスイッチ回路mはこれを外部メモリ参照バス13又は23のいずれかに転送する。スイッチ回路SはこれをタイミングT6で二次キャッシュメモリに書き込む。

【0011】以上の動作により、外部メモリ参照バス13、23に対し、共通の二次キャッシュメモリバス210と共にメインメモリバス310間のデータ交換の機能が実現される。

【0012】以上の説明では、一次キャッシュメモリを命令、データ兼用としてたが、これを命令とデータ各自独立の一次キャッシュメモリとしても本発明の効果に変わりはない。また、一次キャッシュメモリをさらに二階層のキャッシュメモリとしたり、あるいは、データ交換回路と外部キャッシュメモリの間にオンチップの二次キャッシュメモリを設け、外部キャッシュメモリを三次キャッシュメモリとすることにより四階層のメモリシステムを構成する場合でも、外部キャッシュメモリに対し、本発明の効果は変わることろがない。

【0013】

【発明の効果】本発明によれば、半導体集積回路の論理ピンの制約があつても高性能な半導体集積回路、及びこれを用いたデータ処理装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図。

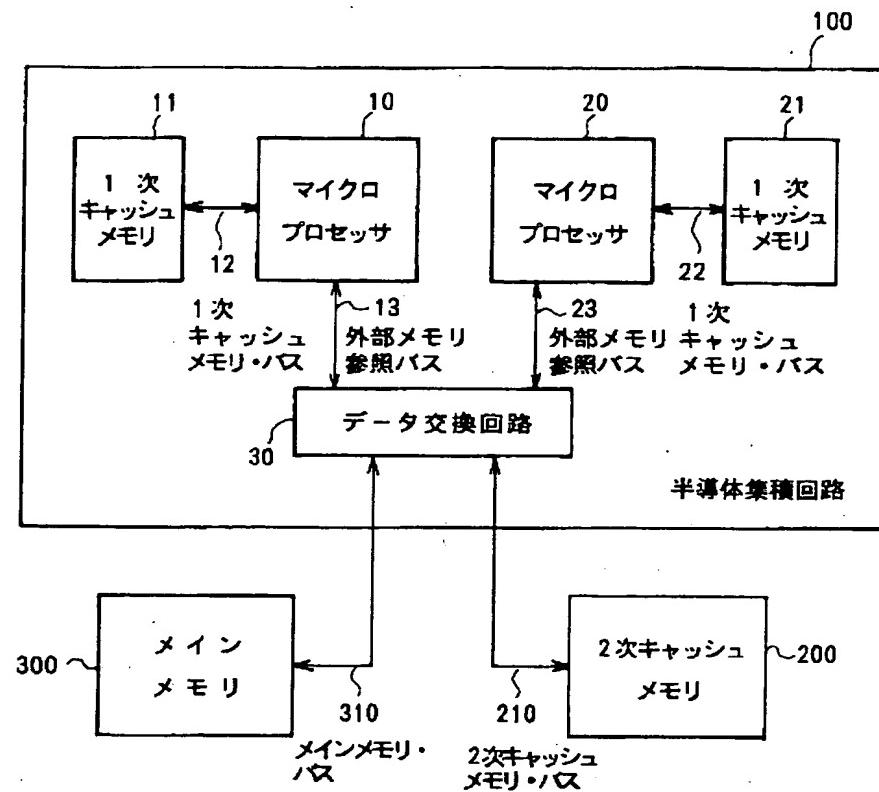
【図2】本発明のデータ交換回路の一実施例のブロック図。

【符号の説明】

10, 20…マイクロプロセッサ、11, 21…一次キャッシュメモリ、200…二次キャッシュメモリ、300…メインメモリ。

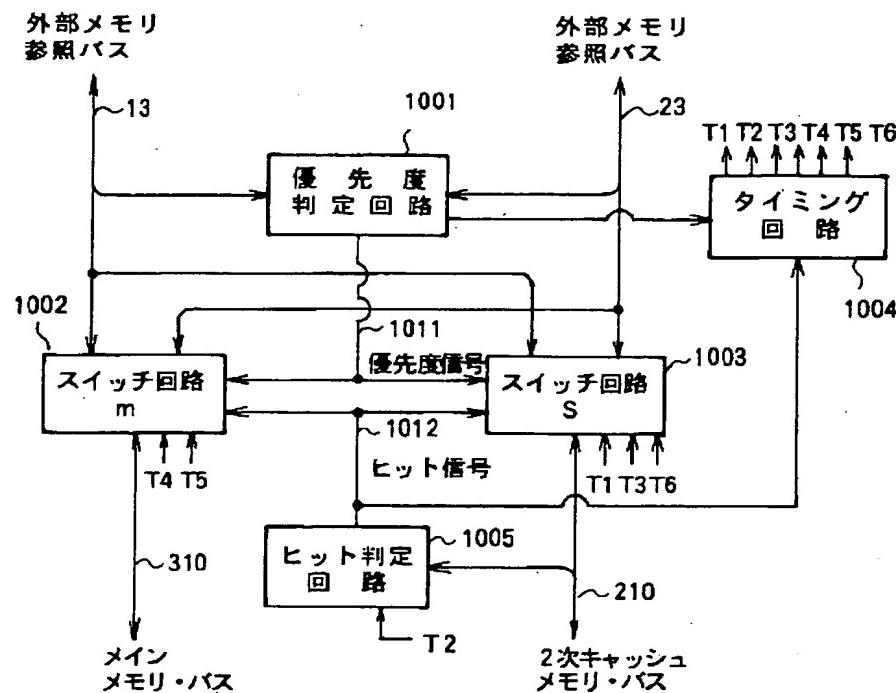
【図1】

図 1



【図2】

図 2



フロントページの続き

(72)発明者 竹本 翔

神奈川県秦野市堀山下1番地 株式会社日

立製作所神奈川工場内